

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-295935

(43)Date of publication of application : 21.10.1994

(51)Int.Cl.

H01L 21/60

(21)Application number : 05-080793

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.04.1993

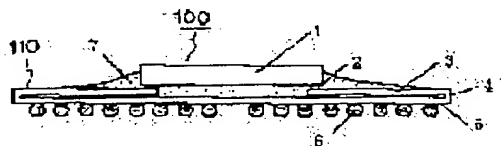
(72)Inventor : ARIMA HIDEO
TAKEDA KENJI
SATO RYOHEI

(54) SEMICONDUCTOR PACKAGE

(57)Abstract:

PURPOSE: To realize a semiconductor package capable of simultaneously attaining high reliability, high density and low cost using film circuits.

CONSTITUTION: The periphery of a film circuit is turned up along a side 4 into a dual film circuit structure so that a connecting terminal may be formed assuming one film circuit surface as the mounting surface of a semiconductor chip 1 (normally the Au bump 2 is plated on the surface) while an area arrayal connecting terminal distributed over the whole connecting surface assuming the other film circuit surface as the mounting surface of the other circuit substrate (normally the surface is provided with a solder bumps 6) may be formed. At this time, the connection of the semiconductor chip 1 with an inner lead is by a TAB, soldering, wire-bonding steps, especially in the wire-bonding step, a plurality of aperture parts are formed on a film package substrate so that the semiconductor chip 1 in facedown state may be wire-connected through the intermediary of the aperture parts. In such a constitution, the semiconductor package surface is coated with a resin 7 so as to seal the semiconductor chip 1 and the connecting terminal part.



LEGAL STATUS

[Date of request for examination]

02.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-295935

(43)公開日 平成6年(1994)10月21日

(51)Int.Cl.⁸

H 0 1 L 21/60

識別記号

3 1 1 S 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21)出願番号

特願平5-80793

(22)出願日

平成5年(1993)4月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 有馬 英夫

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 武田 健二

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 佐藤 了平

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74)代理人 弁理士 薄田 利幸

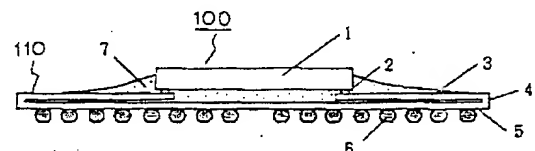
(54)【発明の名称】 半導体パッケージ

(57)【要約】

【目的】フィルム回路を用いて高信頼度化、高密度化、及び低コスト化を同時に達成し得る半導体パッケージを実現する。

【構成】フィルム状回路の周辺部を折り曲げ辺4に沿って折り曲げて2重フィルム回路構成とし、一方のフィルム回路表面を、半導体チップ1の搭載面として接続端子8（通常、表面に金バンプ2をめっきする）を、他方のフィルム回路表面を他の回路基板への搭載面とし接続面の全面に分布したエリアアレイ状接続端子9（通常、表面にはんだバンプ6を設ける）を形成する。半導体チップ1とインナリードとの接続形態は、TAB、はんだ、ワイヤーボンディングとあり、特にワイヤボンディング法では、フィルムパッケージ基板に複数の開口部を形成して、半導体チップがフエースダウンの状態で、その開口部を介してワイヤで接続される構成とする。パッケージ表面を樹脂7で被覆し、半導体チップ1及びその接続端子部を封止する。

図1



- 1…半導体チップ、 2…金バンプ、
3…折り曲げ対象のフィルム回路、 4…折り曲げ辺、
5…折り曲げ対象外のフィルム回路、 6…はんだバンプ、
7…樹脂、 100…半導体パッケージ、
110…フィルムパッケージ基板、

【特許請求の範囲】

【請求項1】配線部を内蔵する絶縁フィルム回路の一部を、折り曲げ辺に沿って折り曲げて2重フィルム回路構成とし、一方のフィルム回路表面を半導体チップの搭載面として接続端子を、他方のフィルム回路表面を他の回路基板への搭載面としてその主面にエリアレイ状に分布した接続端子を、それぞれ前記絶縁フィルム回路の配線部に接続して形成したフィルムパッケージ基板と、前記フィルムパッケージ基板の一方のフィルム回路表面に搭載接続された半導体チップと、少なくとも前記半導体チップの周辺、接続端子部及びフィルムパッケージ基板の表面を被覆、封止した絶縁樹脂層とで構成して成る半導体パッケージ。

【請求項2】上記配線部を内蔵する絶縁フィルム回路周辺部の複数辺を、折り曲げ辺に沿って折り曲げて同一平面内に集合させ一つのフィルム回路面を形成することにより2重フィルム回路構成としたフィルムパッケージ基板を具備して成る請求項1記載の半導体パッケージ。

【請求項3】上記フィルムパッケージ基板の少なくとも折り曲げられた2重フィルム回路の折り合わせ界面に、補強板を介挿して成る請求項1もしくは2記載の半導体パッケージ。

【請求項4】上記配線部を内蔵する絶縁フィルム回路の四角を、折り曲げ辺に沿って折り曲げて同一平面内に集合させ一つのフィルム回路面を形成することにより2重フィルム回路構成としたフィルムパッケージ基板を具備して成る請求項2もしくは3記載の半導体パッケージ。

【請求項5】上記配線部を内蔵する絶縁フィルム回路を複数枚組み合わせ折り曲げ辺に沿って折り曲げると共に、前記折り曲げ辺同志を近接させて同一平面内に集合させ一つのフィルム回路面を形成することにより2重フィルム回路構成としたフィルムパッケージ基板を具備して成る請求項1記載の半導体パッケージ。

【請求項6】上記フィルムパッケージ基板を構成するフィルム回路の中央部に開口部を設け、前記開口部周辺に半導体チップと接続するための接続端子を設けて半導体チップの搭載面とすると共に、折り曲げ辺に沿って折り曲げた周辺部同志を同一平面内に近接、集合させて他の回路基板への搭載面として接続端子を設けて成る請求項1記載の半導体パッケージ。

【請求項7】半導体チップの接続パッドの一部を、その搭載面下に配設した複数の開口部を介して背面のフィルム回路上の端子にワイヤボンディングにより電気的に接続すると共に、半導体チップの残りの接続パッドをはんだバンプを介してフィルム回路上の端子にフェースダウン状態で接続して半導体チップを固定、保持して成る請求項1記載の半導体パッケージ。

【請求項8】請求項7記載の半導体パッケージにおいて、フィルム回路の周辺部を折り曲げ辺に沿って折り曲げた周辺部同志を、同一平面内に近接、集合させて他の

回路基板への搭載面として接続端子を設けて成る半導体パッケージ。

【請求項9】請求項1乃至8何れか記載の半導体パッケージの他の回路基板への搭載面に、はんだバンプを介して補強回路板の一方の面を接続し、他方の面を他の回路基板への搭載面として成る半導体パッケージ。

【請求項10】請求項1乃至8何れか記載の半導体パッケージにおけるフィルム回路上の半導体チップ搭載外周領域に、他の電子部品を搭載して成る半導体パッケージ。

【請求項11】請求項1乃至10記載の半導体パッケージを、他の電子部品と共に同一回路基板上に混載、接続して成る電子回路モジュール。

【請求項12】請求項11記載の電子回路モジュールを組み込んで構成して成る電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体パッケージに係り、特にフィルム状の回路を用いた半導体パッケージに関する。

【0002】

【従来の技術】現在、半導体パッケージとしてはPGA等のセラミックパッケージ、QFP等のモールドパッケージ、さらにはTCP等の樹脂封止パッケージがある。この中で、TCPは、フィルム状の回路を用いたTAB技術によりパッケージを形成するものであり、パッケージ形状に自由度があり、また低コストの点でメリットがある。このため、近年広く使われ出している。

【0003】このTCPの問題点は、(1)フィルム回路は、殆どが1～3層の回路になっており、複雑な回路形成が難しい、(2)アウターリードの接続精度がインナーリードの接続精度と比較して劣るため、アウターリードピッチを広くする必要があるのでパッケージが小形にし難い、の2点である。

【0004】インナーリードは、金等のバンプを加熱・圧着することにより、高密度接続が可能である。このように従来一般的に適用されている半導体パッケージにおいては、低コストを維持しつつ、小形・高密度を満足することが非常に困難な状況にある。

【0005】なお、これらの技術に関連するものとして例えば、マイクロエレクトロニクス・パッケージング・ハンドブック、第409頁～第424頁（ノースランド・ラインホール社、1989年出版）〔Rao R. Tummala, Eugene J. Rymaszewski: Microelectronics Packaging Handbook: Van Nostrand Reinhold (1989)、pp409～424〕が挙げられる。

【0006】

【発明が解決しようとする課題】この様な状況下において、半導体パッケージにおいて小形、高密度化、及び低コスト化を同時に達成することが不可欠である。したが

3
って、本発明の目的はかかる従来の問題点を解消し、改良された半導体パッケージを提供することにある、さらには、それを搭載したモジュール及び電子機器を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、TCPの様なフィルム回路を用いる半導体パッケージにおいて、フィルム状回路の異なる表面に、半導体チップとの接続端子及びこのパッケージを他の回路基板に搭載する際の接続端子とをそれぞれ形成し、そのフィルム状回路の周辺部を折り曲げ辺に沿って折り曲げ、その折り曲げた周辺部を同一平面上に集合して2重フィルム回路構造とし、その一方のフィルム回路の表面を半導体チップ搭載面とすると共に、他方のフィルム回路の表面を外部の配線基板への搭載面とする。

【0008】半導体チップは、この2重フィルム回路構造の何れか一方の面に搭載する。すなわち、周辺部を折り曲げて同一平面上に集合して構成したフィルム回路上でも、逆に折り曲げていないフィルム回路の主面上に搭載することもできる。

【0009】また、フィルム回路上の半導体チップ搭載部、外部の配線基板への搭載面のいずれに設ける接続端子も、エリアアレイ状に分布した接続端子の構造とすることができる。エリアアレイ状接続端子構造とすることにより、半導体チップをパッケージへ搭載接続する時及びパッケージを外部配線基板へ搭載接続する時のいずれの場合もフェースダウン状態で容易に接続でき、パッケージの小形化を促進する上で有効となる。

【0010】また、インナリードの接続方法として、TAB以外にワイヤーボンディングを用いることも可能である。この場合には、半導体チップ周縁の接続パッドを、その搭載面下周縁に配設した複数の開口部を介して背面のフィルム回路上の端子にワイヤボンディングにより電気的に接続すると共に、半導体チップ主面の接続パッドをはんだバンプを介してフィルム回路上の端子にフェースダウン状態で接続して半導体チップを固定、保持する構成とした。

【0011】なお、本発明の代表的な目的達成手段について具体的に例示すると以下の通りである。すなわち、上記目的は、配線部を内蔵する絶縁フィルム回路の一部を、折り曲げ辺に沿って折り曲げて2重フィルム回路構成とし、一方のフィルム回路表面を半導体チップの搭載面として接続端子を、他方のフィルム回路表面を他の回路基板への搭載面としてその主面にエリアアレイ状に分布した接続端子を、それぞれ前記絶縁フィルム回路の配線部に接続して形成したフィルムパッケージ基板と、前記フィルムパッケージ基板の一方のフィルム回路表面に搭載接続された半導体チップと、少なくとも前記半導体チップの周辺、接続端子部及びフィルムパッケージ基板の表面を被覆、封止した絶縁樹脂層とで構成して成る半

導体パッケージにより、達成される。

【0012】そして好ましくは、上記配線部を内蔵する絶縁フィルム回路周辺部の複数辺を、折り曲げ辺に沿って折り曲げて同一平面内に集合させ一つのフィルム回路面を形成することにより2重フィルム回路構成としたフィルムパッケージ基板とすることである。

【0013】また、上記フィルムパッケージ基板の少なくとも折り曲げられた2重フィルム回路の折り合わせ界面上に、補強板を介挿して強度を向上させることである。

10 【0014】また、上記配線部を内蔵する絶縁フィルム回路の四角を、折り曲げ辺に沿って折り曲げて同一平面内に集合させ一つのフィルム回路面を形成することにより2重フィルム回路構成としたフィルムパッケージ基板とすることである。

【0015】さらにまた、上記配線部を内蔵する絶縁フィルム回路を複数枚組み合わせ折り曲げ辺に沿って折り曲げると共に、前記折り曲げ辺同士を近接させて同一平面内に集合させ一つのフィルム回路面を形成することにより2重フィルム回路構成としたフィルムパッケージ基板とすることである。

20 【0016】

【作用】半導体パッケージのフィルム回路の周辺を折り曲げて2重のフィルム回路構造とすることにより、パッケージを小形化することができる。また、フィルム回路も従来技術のままで、倍の高密度化を達成することができる。

【0017】このパッケージは、一方で半導体チップを搭載接続し、他方で半導体チップを搭載したパッケージを他の配線基板へ搭載接続する必要がある。それを具体化する上で、本発明の半導体パッケージを構成するフィルムパッケージ基板は、その折り曲げて同一平面上に集合させて一つのフィルム回路面を形成した一方の搭載面と、折り曲げていないフィルム回路の主面で構成される他方の搭載面との両面を有する。これら何れか一方の面に半導体チップが搭載接続され、他方の面が完成した半導体パッケージを他の配線基板へ搭載接続する際の接続面となる。

【0018】このフィルム回路と半導体チップの接続には、周知のTABのインナリード接続方式を適用することができる。アウターリードに相当する搭載基板との接続は、パッケージを小形化しているため、従来と比較して難しくなる。しかし、従来の搭載基板との接続端子の配置は一行であるが、これを接続全面に分散したエリアアレイ状とすることにより、接続端子間隔を広げることができ、この結果従来と同等の接続技術で接続可能となる。インナリードの接続方法として、はんだバンプ接続技術を適用することも可能である。

【0019】また、インナリードの接続方法として、フィルム状回路に複数の開口部を形成し、そこを通してワイヤーボンディングで接続することができる。この方法

は、従来からあるワイヤボンディングの技術をそのまま適用することができる。

【0020】上記の方法はいずれも小形、高密度の半導体パッケージを実現できる特徴を持つ他に次のような利点がある。

【0021】(1) 接続階層を一段階低減できる。つまり、従来では半導体パッケージ上に半導体チップを搭載する場合は、半導体チップ端子とフィルム回路との接続及びフィルム回路とパッケージ基板の接続端子との接続の2階層が必要であった。この方法では、半導体チップ端子とフィルム回路との接続の1階層で済む。従って、接続信頼性が向上する上、接続工程が低減されるため、低コスト化、高信頼度化を達成できる。

【0022】(2) 半導体チップをフェースダウン状態でパッケージに搭載接続できるため、半導体チップの背面に放熱フィンを取り付けることが容易になり、高発熱の半導体チップの搭載が可能である。

【0023】(3) フィルム回路の半導体チップ搭載部にも他の回路や接続端子の形成が可能であり、そのため回路の小型化ができる。

【0024】(4) 搭載する半導体チップとして、その接続端子の配置は、従来の様に周辺の場合も、エリアレイ状の場合も、さらにはランダムな配置の場合にも対応できる。

【0025】また、上記の関係は、半導体チップ、または半導体パッケージを他の回路基板に搭載する場合に拡張して応用することもできる。特に上記したワイヤボンディング方法、形態は、適用する回路の端子数、その密度によっては、搭載基板との接続形態がエリアレイでなくても応用することは十分可能である。

【0026】

【実施例】以下、本発明の一実施例を図面にしたがって具体的に説明する。

〈実施例1〉図1～図4を用いて本発明半導体パッケージの代表的な一例を説明する。図1は、半導体パッケージ100の断面図を、図2は、図1の底面P方向から見た平面図を、それぞれ示す。半導体パッケージ100に組み込まれた半導体チップ1は、7.5mm角のMPU（マイクロ・プロセッサ・ユニット）であり、288本の端子をチップ周辺に配置してある。

【0027】フィルムパッケージ基板110は、24mm角で構成され、図示のように2面のフィルム回路3、5を有している。すなわち、後ほど図3、図4で詳述するように、フィルム回路120の周辺部四角が、折り曲げ辺4に沿って折り曲げられてフィルム回路3を構成し、折り曲げられない底面部がフィルム回路5を構成している。

【0028】折り曲げられたフィルム回路3側には、その端部に半導体接続端子8（後ほど図3、図4で詳述する）が、さらにその上に金バンプ2が設けられ、この金

バンプ2を介して半導体チップ1が搭載接続されている。

【0029】一方、フィルム回路5側には、接続パッド9（後ほど図3、図4で詳述する）を介して1.27mmピッチ格子ではんだバンプ6が形成されている。このはんだバンプ6は、半導体パッケージ100を他の回路基板に搭載接続するときに使用される。

【0030】また、半導体チップ1をフィルムパッケージ基板110に搭載接続した後で、半導体チップ1とフィルム回路3、5との接着、固定及び半導体チップ1の封止を兼ねて樹脂7で接着、被覆している。

【0031】次に図3及び図4によりフィルムパッケージ基板110を構成するフィルム回路120について詳細に説明する。図3はフィルム回路120の四角を折り曲げてフィルムパッケージ基板110とする前段のフィルム回路の要部展開平面図を示したものである。なお、フィルム回路3の端部に設けられた半導体接続用端子（接続パッド）8上には金バンプ2が、またフィルム回路5の主面に設けられた接続パッド9上には、はんだバンプ6がそれぞれ形成されているが、この図ではいずれも省略されている。図4は、図3の縦断面を示した断面図である。

【0032】図示のように、フィルム回路120は、TABテープと類似の構造を有しており、ポリイミド膜からなる絶縁フィルム121を2層（121a、121b）貼り合わせ、層間に銅フィルムから成る配線部11を配設している。配線部11の一端は、半導体接続用端子（接続パッド）8に、他端は接続パッド9にそれぞれ接続され、しかもこれら配線部11の間隔は、半導体接続用端子8の間隔を接続パッド9で拡大し、パッケージを他の回路基板に搭載するときに実装し易いように構成されている。そしてフィルム回路5上に設けられた接続パッド9は、他の回路基板に接続するためにエリアレイ状に形成されている。配線部11と接続パッド9とは、バイア配線10により電気的に接続されている。

【0033】このフィルム回路120を用いてフィルムパッケージ基板110を形成し、さらに半導体チップ1を搭載して半導体パッケージ100を製造する手順について以下に説明する。

【0034】フィルム回路120の4片から成る周辺部フィルム回路3は、半導体チップ搭載用の接続端子8を外側にして、折り曲げ辺4に沿って折り曲げ、2重配線構造のフィルム回路120を形成する。この折り曲げに際しては、隣接する周辺部フィルム回路3同志を限りなく接近させ、しかも互いに折り重ならないように折り曲げる。

【0035】フィルム回路3上に設けられた半導体チップ搭載用の接続端子8の表面には、金のバンプ2をめっきで形成する。この金バンプ2と半導体チップ1をTAB技術、つまり加熱と加圧によりフェースダウン状態で

7
接続する。次に、はんだバンプ形成用の接続パッド9上にSn/Pb系のはんだから成るはんだボールを接続して、はんだバンプ6を形成する。最後に、フィルム回路5の平面を確保しながらフィルム回路3、5と半導体チップ1を樹脂7で接着、被覆する。

【0036】以上のようにして製造した半導体パッケージ100内の平均配線長は、約16mm、最長配線長は29mmであった。また、LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0037】〈実施例2〉この例は、実施例1と類似構造であるが、フィルムパッケージ基板110を構成するフィルム回路3の折り曲げ方向を逆方向としたもので、折り曲げたフィルム回路3側にパッド9を、折り曲げないフィルム回路5側に半導体チップ1を搭載接続する接続端子8を配設したものであり、以下、図5～図7にしたがって説明する。

【0038】図5は半導体パッケージ100の断面図を、図6にはそれを底面から見た平面図を示す。半導体チップ1は、実施例1と同様に7.5mm角のMPUであり、288本の端子をチップ周辺に配置してある。フィルムパッケージ基板110は24.5mm角であり、2層のフィルム回路3、5でできている。フィルム回路120の周辺部を、折り曲げ辺4に沿って折り曲げ、フィルム回路3を形成している。

【0039】実施例1と構造的に大きく異なる点は、折り曲げたフィルム回路3上に、他の回路基板に搭載接続するためのはんだバンプ6が形成されている点であり、実施例1とは逆の折り曲げ方をしている。これを説明する為に、適用したフィルム回路120の平面展開図を図7に示す。なお、配線部11は、基本的には実施例1の図3と同様であるため、この図には記載していない。

【0040】図7において、フィルム回路120の中央には、開口部13がある。その周辺には、半導体チップ1と接続するための接続端子8が0.1mmピッチで形成してある。フィルム回路120の四角の周辺部フィルム回路3には、エリアアレイ状に他の回路基板に搭載接続するためのパッド9を形成してある。このピッチは、1.27mm格子ピッチであり、配線部11（図面省略、図3参照）に接続された接続端子8の間隔を拡大している。この周辺部フィルム回路3は、折り曲げ辺4に沿って折り曲げて、接続端子9が外側になるようにしてフィルム回路5に重ねる。このとき、フィルム回路3、5間には、補強板12を挿入する。

【0041】半導体パッケージ100の製造方法は、実施例1とほぼ同様の手順で行われる。すなわち、フィルム回路120を図7に示したように開いた状態で、接続端子8上に形成した金バンプ2に対して、半導体チップ1をTAB技術で接続する。

【0042】次に、フィルム回路3の1.27mmピ

チ格子で設けられた接続パッド9上に、はんだバンプ6を形成し、フィルム回路内に樹脂とガラス繊維から成る補強板12を包む様にしてフィルム回路を接着固定し、フィルムパッケージ110を形成する。

【0043】更に、半導体チップ1とフィルム回路3、5との接着、固定及び半導体チップ1の封止を兼ねて樹脂7で接着、被覆する。

【0044】以上のようにして製造した半導体パッケージ100内の平均配線長は、実施例1と同じく約16mm、最長配線長は29mmであった。また、LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0045】〈実施例3〉この例は、図1に示した実施例1のフィルムパッケージ基板110の構造を一部変形したものであり、図5に示した実施例2と同様にフィルム回路3、5間に補強板12を設けたことに特徴がある。以下、図8、図9にしたがって具体的に説明する。

【0046】図8は、半導体パッケージ100の断面図を示す。半導体チップ1は、実施例1と同様に7.5mm角のMPUであり、288本の端子をチップ周辺に配置してある。フィルムパッケージ基板110は24.5mm角であり、図9にフィルム回路3を折り曲げる前段階の断面展開図を示したように、2層の絶縁フィルム121a、bと補強層14との3層のフィルム回路でできている。

【0047】絶縁フィルム121には、図3、図4に示した構成と同様に、絶縁フィルム層間に銅フィルムから成る配線部11が設けられ、その両端部に接続端子8と接続パッド9とが接続されている。補強層14は、図9に示したようにフィルム回路120の折り曲げ辺4を除いた絶縁フィルム121上に形成されており、フィルム回路3を折り曲げることにより、折り曲げ部が2層の補強層14で補強されて補強板12となる。

【0048】半導体パッケージ100の製造方法は、実施例1とほぼ同様である。まず、フィルムパッケージ基板110の形成法であるが、半導体チップ搭載用の接続端子8を外側にして、フィルム回路120の四角の周辺部フィルム回路3を、折り曲げ辺4に沿って曲げ、フィルムを2重構造に形成する。

【0049】半導体チップ搭載用の接続端子8の表面には金のバンプ2をめっきで形成する。このバンプ2に半導体チップ1をTAB技術で接続する。

【0050】次に、フィルム回路5側の接続パッド9上にはSn/Pb系のはんだから成るはんだボールを接続して、はんだバンプ6を形成する。最後に、フィルム回路5の平面を確保しながらフィルム回路3、5と半導体チップ1を樹脂7で接着、被覆する。

【0051】以上のようにして製造した半導体パッケージ100内の平均配線長は、約17mm、最長配線長は

30mmであった。また、LSIを搭載した状態でクロ

ック周波数200MHzで正常に動作することを確認した。

【0052】〈実施例4〉この例は、実施例2の変形例を示すもので、フィルム回路3を折り曲げて他の回路基板への搭載面とし、一方の折り曲げないフィルム回路5を半導体チップ1の搭載面とするものにおいて、フィルム回路5の中央部にはんだバンプ15を介して半導体チップ1を搭載接続すると共に、半導体チップ1の背面に放熱フィン16を設けた半導体パッケージ100構造を示すものである。以下、図10、図11にしたがって具体的に説明する。

【0053】図10は、半導体パッケージ100の断面図を示すもので、半導体チップ1は、実施例1と同様に7.5mm角のMPUであるが、288本の端子をエリアアレイ状のはんだバンプ15としてチップ全面に配置してある。

【0054】フィルムパッケージ基板110は、実施例2と同様に、24.5mm角であり、フィルム回路120の四角の周辺フィルム回路3を折り曲げて形成した2層のフィルム回路と補強板12とからできている。

【0055】このフィルム回路120を広げた平面展開図を図11に示す。実施例2の図7に示したフィルム回路120と異なるのは、回路中央部に開口部13はなく、そこに搭載する半導体チップ1の接続端子の配列に合わせて、エリアアレイ状の接続端子8を形成している点にある。この接続端子の格子ピッチは0.4mmである。なお、フィルム回路の配線部11は図には記載していないが、実施例1の図3と同様に形成されている。

【0056】この半導体パッケージ100の組み立て手順について説明すると、Ag/Sn系はんだから成るはんだバンプ15を付けた半導体チップ1を、フィルム回路5の中央の搭載位置に位置決めし、バンプ15と接続端子8を重ねてから温度250℃に加熱して接続する。

【0057】次に、実施例2と同様に、フィルム回路120の四角の周辺部フィルム回路3を、接続端子9が外側になるようにして折り曲げ辺4に沿って折り曲げて、樹脂とガラス繊維から成る補強板12を包むようにしてフィルム回路を接着固定する。更に、半導体チップ1とフィルム回路3、5との接着、固定及び半導体チップ1の封止、及び半導体チップ1の背面への放熱フィン16の接着、固定を兼ねて樹脂7で接着、被覆する。

【0058】以上のようにして製造した半導体パッケージ100内の平均配線長は、約19mm、最長配線長は34mmであった。また、LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0059】〈実施例5〉図12は、更に異なる実施例となる半導体パッケージ100の断面図を示す。適用した半導体チップ1は、実施例1と同一の7.5mm角のMPUである。フィルムパッケージ基板110は24m

m角であり、周辺の四角を折り曲げた2層のフィルム回路3、5でできている。フィルム回路120も実施例1と殆ど同じであるが、半導体チップ搭載用の接続端子8の形成をフィルム回路3の裏側とし、また、折り曲げ辺4の幅を半導体チップ1の厚さを考慮して約0.5mm広くした。パッケージ内には半導体チップ1をフェースアップの状態で接続した。製造方法は実施例1と同様である。

【0060】以上のようにして製造した半導体パッケージ100内の平均配線長は、約17mm、最長配線長は30mmであった。また、LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0061】〈実施例6〉図13は、実施例1の半導体パッケージ100を強度補強のためにセラミック基板17に接続支持した構成の断面図を示したものである。適用した半導体チップ1及びフィルム回路は実施例1と同一のものである。このフィルム回路5上のはんだバンプ形成用の接続パッド9にAg/Sn系のはんだボールを用いてはんだバンプ6を形成する。

【0062】また、別途アルミナ系のセラミック基板17に1.27mmピッチ格子でスルホール導体18を形成し、かつ導体表面をNi及びAuでめっきしたものを製造し、前記はんだバンプ6を介してセラミック基板17と半導体パッケージ100のフィルム回路5を接続する。最後にセラミック基板17の裏面に基板搭載用のSn/Pb系のはんだボール19を接続してセラミック基板で強度補強された半導体パッケージを製造した。

【0063】以上のようにして製造した半導体パッケージ100は、セラミック基板で補強されているため形状変形が少なく強度に優れている。また、パッケージ内の平均配線長は約18mm、最長配線長は31mmであった。LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0064】〈実施例7〉この例は、フィルムパッケージ基板110を2枚のフィルム回路120を組み合わせで構成したもので、フィルム回路3は2枚のフィルム回路120の半導体チップ搭載用接続端子8が形成された面を折り曲げ辺4に沿ってそれぞれ外側に折り曲げて、また接続パッド9が形成されたフィルム回路5は、折り曲げない面同志の組合せで形成されている。以下、図14～図18にしたがって具体的に説明する。

【0065】図14は半導体パッケージ100の断面図を、また図15は裏面から見た平面図を示す。適用した半導体チップ1は実施例1と同一である。フィルムパッケージ基板110の構造は、実施例1と似ているが、この実施例ではフィルム回路3、5が2枚のフィルム回路120a、120bの組合せで構成されている。

【0066】図16は、一方のフィルム回路120aの平面図を示したもので、フィルム回路120aの半分の

面には、折り曲げ辺4を境界として半導体チップ搭載用の接続端子8を設けたフィルム回路3aを、残り半分の面には、はんだバンプ形成用の接続パッド9を設けたフィルム回路5aを形成する。図中の20は、切り込みであって、2枚のフィルム回路を組み込む際に互いに相手側のフィルム片を差し入れるために設けられている。なお、フィルム回路120には実施例1と同様に配線部11が形成されているが、図面が複雑になるので省略し、表面に形成されている接続端子8及び接続パッド9のみを表示した。

【0067】また、他方のフィルム回路120bも、フィルム回路120aと同様の構造であるが、切り込み20だけが逆方向に設けられている。これら2枚のフィルム回路120a、120bを用いてフィルムパッケージ基板110を組立る様子を図17、図18により説明する。

【0068】図17に示すようにこのフィルム回路3a、3bの接続端子8が外側になるように、折り曲げ辺4に沿って折り折り曲げ、さらに図18に示すようにこれら2枚のフィルム回路のフィルム片を相互に切り込み20を利用して差し込み、折り曲げ辺4を合わせるようにして重ね、フィルム回路3a、3b同志及びフィルム回路5a、5b同志が同一平面となるように位置決めしてこれらを接着、固定する。

【0069】その後の半導体チップ1をTAB方式で接続後（接続端子8上には酸化防止用の金バンプ2が形成されている）、接続パッド9上にはんだバンプ6を接続し、樹脂で封止するが、その方法は実施例1と同様である。このようにして図1に示した半導体パッケージ100が製造される。

【0070】以上のようにして製造した半導体パッケージ100内の平均配線長は、約1.3mm、最長配線長は2.6mmであった。また、LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0071】〈実施例8〉図19は、実施例1の半導体パッケージ100のフィルム回路120の一部を変更して、フィルム回路3上（半導体チップ1搭載領域の外周）の電源用配線間にチップコンデンサ21を搭載接続したパッケージの断面図である。平面図を省略しているがフィルム回路3には、半導体チップ1搭載用の端子と同様にチップコンデンサ21接続用の端子が設けられている。

【0072】製造方法は実施例1と同様である。はんだバンプ6を接続後、12個あるチップコンデンサ21を電極21aを介してフィルム回路3上に金ペーストで接続、搭載する。その後パッケージ表面を樹脂7で被覆、封止する。

【0073】以上のようにして製造した半導体パッケージ100内の平均配線長は、約1.8mm、最長配線長は

3.1mmであった。また、LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0074】〈実施例9〉図20は、実施例1の半導体チップ1と同じものを用い、ただし、接続パッドはエリアレイ状に形成されており、その周縁部に設けられた接続パッド24のインナリードの接続を、フィルム回路5に形成した4個の開口部23を介してボンディングワイヤ22で裏面の端子8に接続し、半導体チップ1主面の接続パッドははんだバンプ15を介しフェースダウン状態でフィルム回路5の中央部主面の端子8に搭載接続した半導体パッケージ100の例を示した断面図である。そして半導体チップ1の背面には放熱フィン16を配し、実施例4の図10、図11に示した構造に類似している。

【0075】図21にはこれに使用したフィルム回路120の平面展開図を示す。実施例4の図11に示したフィルム回路5では、半導体チップ1の全ての接続端子をフィルム回路5上の端子8に設けた金バンプ2により搭載接続したが、この例では周縁部の接続パッド24については開口部23を介してボンディングワイヤ22でフィルム回路5の背面に設けた端子8に接続し、主面の接続パッドははんだバンプ15を介しフェースダウン状態でフィルム回路5の中央部主面の端子8に接続する。

【0076】図22は、半導体パッケージ100のフィルム回路5上に半導体チップ1を搭載し、フィルム開口部23で半導体チップ周縁部の接続パッド24とフィルム回路5の背面の接続端子8（配線部11に接続）とをボンディングワイヤ22で接続した状態を示した、フィルム開口部23付近の要部拡大図である。

【0077】この半導体パッケージ100の製造手順を概略説明すると、フィルム回路5の中央部の半導体チップ1搭載位置にチップを搭載、フェースダウン状態ではんだバンプ15により接続固定し、背面のフィルム開口部23で半導体チップ1周縁部の接続パッド24とフィルム回路5の配線部11に接続された接続端子8とをボンディングワイヤ22で接続する。フィルム回路3の接続パッド9の形成された面を外側にして、折り曲げ辺4に沿って四角を折り曲げ2重フィルム構造とし、4枚の折り曲げられたフィルム回路3を互いに折り重ならないように同一平面上に集合させる。ボンディングワイヤ22による接続部及び2重フィルム層間を樹脂7で被覆、封止すると共に、半導体チップ1の背面に、放熱フィン16を搭載し、樹脂7で固定する。

【0078】以上のようにして製造した半導体パッケージ100内の平均配線長は、約1.7mm、最長配線長は3.0mmであった。また、LSIを搭載した状態でクロック周波数200MHzで正常に動作することを確認した。

【0079】なお、この例では、フィルム開口部23を

半導体チップ1の搭載下周縁部に4個形成したが、これら開口部23の設定位置及び設定個数は半導体チップ1の接続パッド24及びはんだバンプ15の設計方式にしたがい任意に変更可能である。例えば半導体チップ1の中央部に接続パッド24が、その周縁にはんだバンプ15が設けられている場合には、それに対応させて開口部23は中央部に設けることになる。

【0080】〈実施例10〉図23に製造したモジュールの外観図を示す。実施例2で製造した半導体パッケージ100に放熱フィン16をセットしたMPU25を4個及び樹脂モールドしたDRAMメモリ27を8個を、プリント基板26上に搭載したモジュール28を製造した。各部品の搭載は全てSn/Pb系はんだを用いて220℃で実施した。この製造したモジュール28は、メモリ機能を持つCPUボードである。

【0081】〈実施例11〉図23に示すCPUモジュール28の他に、画像処理、通信、外部メモリ制御等の機能を持つモジュールを組み合わせて小形計算機を構成した。

【0082】

【発明の効果】以上説明したように、本発明により所期の目的を達成することができた。すなわち、具体的に以下に記載したような効果を奏する。

【0083】(1) 小形・高密度化

2枚の絶縁フィルム間に配線部を形成したフィルム回路の一部を折り曲げて、2重フィルム回路とし、その一方のフィルム回路を半導体チップの搭載面とし、他方のフィルム回路を外部回路基板への搭載接続面とする。これにより、半導体パッケージを大幅に小形化できる。また、パッケージの接続端子をエリアアレイ状とした場合、狭い面積で多数の端子接続が可能になり、パッケージの寸法を一層小形化できる。配線密度から言えば配線密度は高くなる。このことは、フィルムパッケージ基板の場合にも言え、基板が小形化、配線の高密度化になる。

【0084】(2) 高信頼度化

接続階層の低減により、接続信頼性が高くなる。

【0085】(3) 低コスト化

接続階層の低減により、接続信頼性が高くなると共に工程低減により、低コスト化になる。フィルム回路を折り曲げることにより2重化しているため、複雑な回路形成が不要となり、パッケージ製造の点で低コスト化になる。

【0086】(4) 熱応力の緩和

フィルム回路を用いる点で、接続部の応力緩和効果が生じる。また、ワイヤボンディング部は、ワイヤの変形による応力緩和の効果がある。

【0087】(5) 高速化

パッケージ内または半導体周辺回路の配線が短くて済むことから、配線による信号遅延が減少して、高速信号処

理が可能になる。

【0088】(6) 高冷却性

半導体パッケージ内またはフィルムパッケージ基板上に半導体をフェースダウンで搭載してあり、半導体背面からの放熱が容易である。

【図面の簡単な説明】

【図1】本発明の一実施例(実施例1)となるTAB用の接続端子部を折り曲げて2重フィルム回路構成としたフィルムパッケージ基板に、半導体チップを搭載接続した半導体パッケージの断面図。

【図2】同じく図1の底面をP方向から見た半導体パッケージの平面図。

【図3】同じくフィルム回路を平面展開した拡大図。

【図4】同じく図3に示したフィルム回路の縦断面図。

【図5】本発明の他の実施例(実施例2)となる半導体パッケージの断面図。

【図6】同じく図5の半導体パッケージを底面から見た平面図。

【図7】同じくフィルム回路を平面展開した拡大図。

【図8】本発明の他の実施例(実施例3)となる半導体パッケージの断面図。

【図9】同じく図8のフィルム回路を展開した要部断面図。

【図10】本発明の他の実施例(実施例4)となる半導体パッケージの断面図。

【図11】同じく図10のパッケージに用いたフィルム回路を平面展開した拡大図。

【図12】本発明の他の実施例(実施例5)となる半導体パッケージの断面図。

【図13】本発明の他の実施例(実施例6)となる半導体パッケージの断面図。

【図14】本発明の他の実施例(実施例7)となる半導体パッケージの断面図。

【図15】同じく図14の半導体パッケージの底面から見た平面図。

【図16】同じく図14の半導体パッケージを構成する1フィルム回路の平面展開図。

【図17】同じく図16のフィルム回路の半導体接続部分を折り曲げた状態の平面図。

【図18】同じく図17のフィルム回路を2枚組み込んでフィルムパッケージ基板を形成する組立関係説明用平面図。

【図19】本発明の他の実施例(実施例8)となる半導体パッケージの断面図。

【図20】本発明の他の実施例(実施例9)となる半導体パッケージの断面図。

【図21】同じく図20の半導体パッケージに用いたフィルム回路の平面展開図。

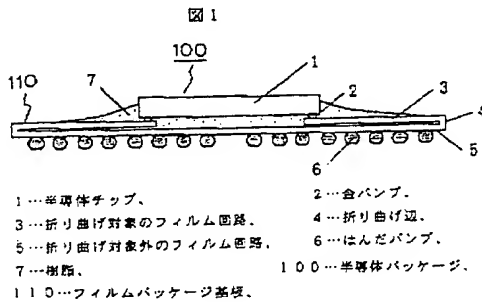
【図22】同じく図21のフィルム回路における開口部付近の要部拡大平面図。

【図23】本発明実施例の半導体パッケージとメモリーとをプリント基板上に搭載したモジュールの外観図。

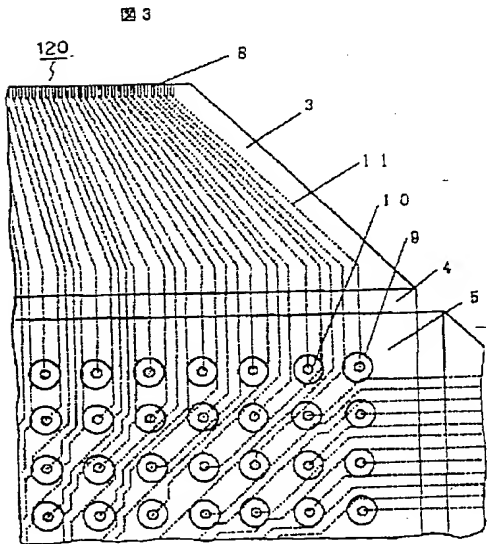
【符号の説明】

- 1…半導体チップ、 2…金バン
プ、 3…折り曲げ対象のフィルム回路、 4…折り
曲げ辺、 5…折り曲げ対象外のフィルム回路、 6…
はんだバンブ、 7…樹脂、
8…半導体チップ接続用の端子、 9…はんだバンブ形
成用の接続パッド、 10…バイア配線、 11…銅配線
部、 12…補強板、 13…フィル
ム回路の開口部、 14…補強層、 15…半導体

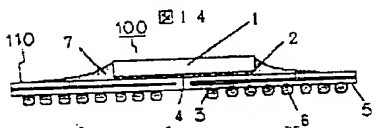
【図1】



【図3】

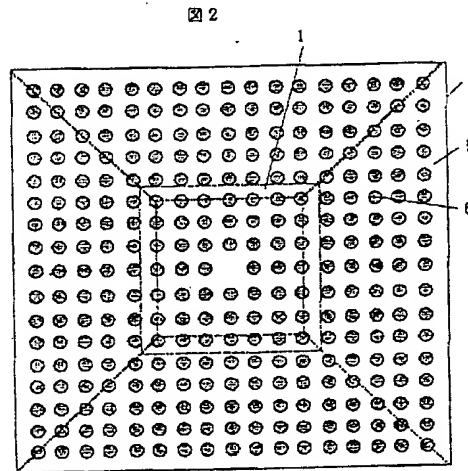


【図14】

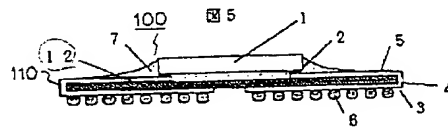


チップのはんだバンブ、 16…放熱フィン、 17…セラミック基板、 18…スルホール導体、
19…基板搭載用はんだバンブ、 20…フィルム回路の切り込み、 21…チップコンデンサー、
22…ボンディングワイヤ、 23…ワイヤボンディング用開口部、 24…半導体上の接続パッド、 25…M
PU、 26…プリント基板、 2
7…メモリ (DRAM)、 100…半導体パッ
ケージ、 110…フィルムパッケージ基板、 120…
フィルム回路、 121…絶縁フィルム (ポリイミド
膜)。

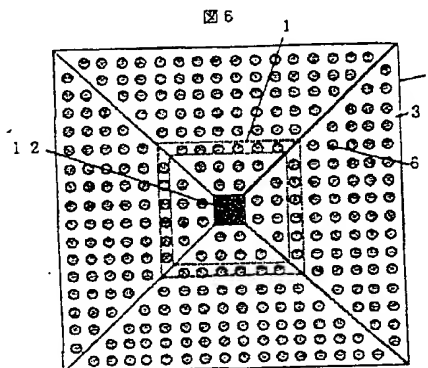
【図2】



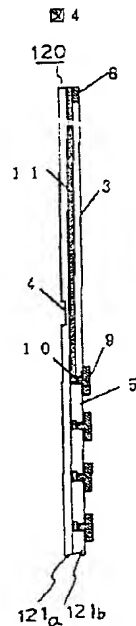
【図5】



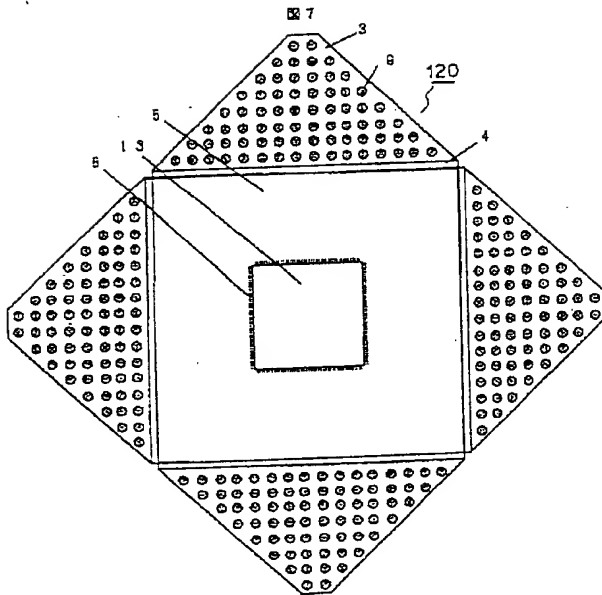
【図6】



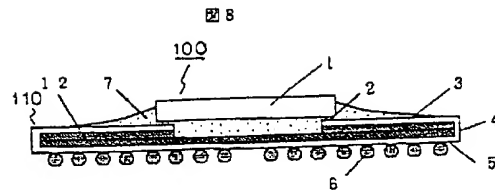
【図4】



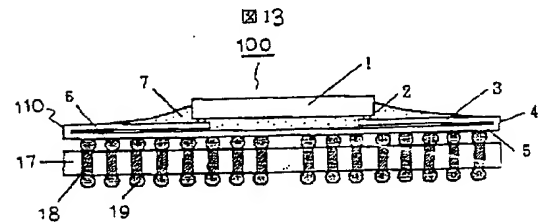
【図7】



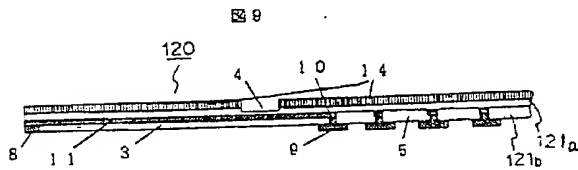
【図8】



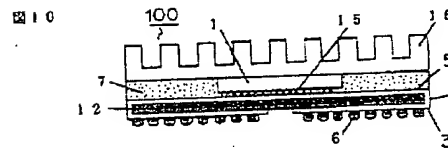
【図13】



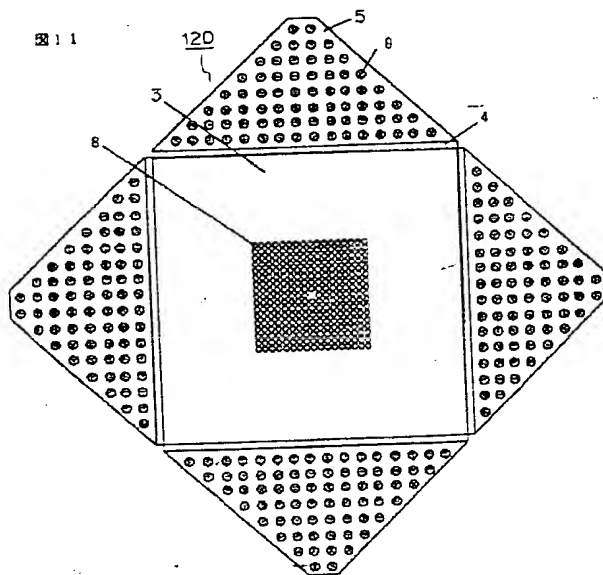
【図9】



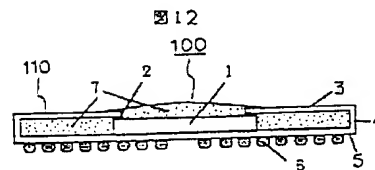
【図10】



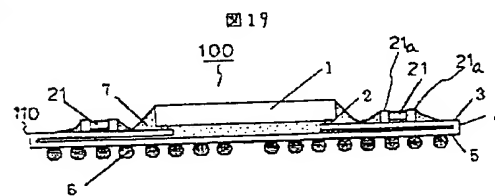
【図11】



【図12】

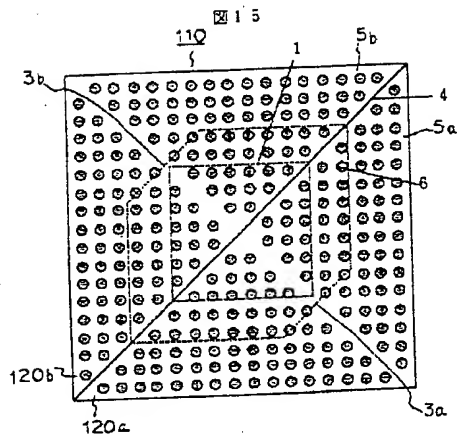


【図19】

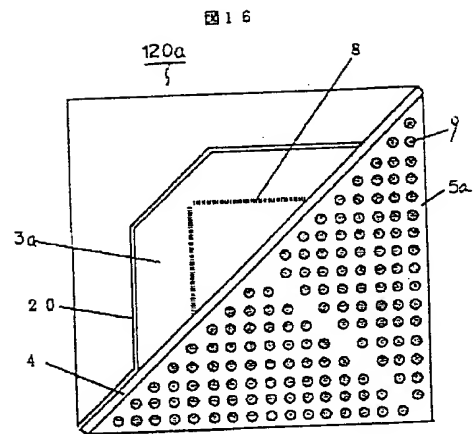


(11)

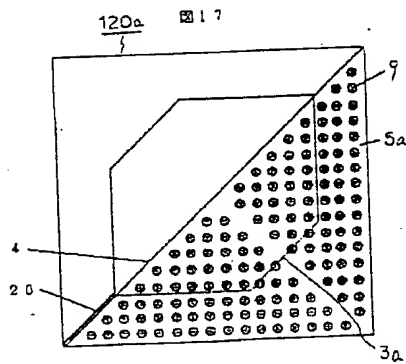
【図15】



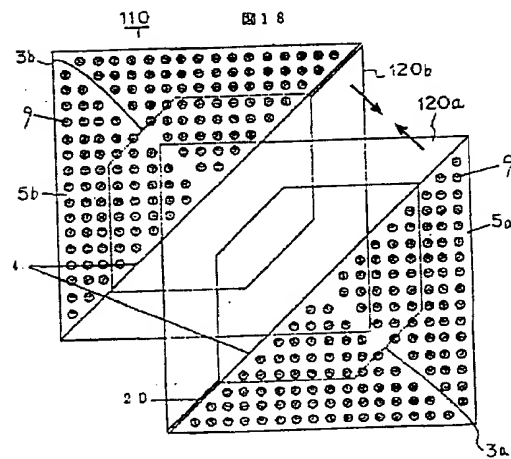
【図 16】



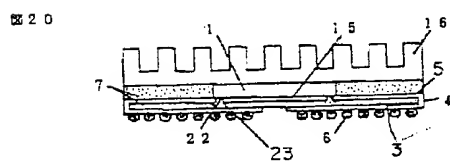
【图 17】



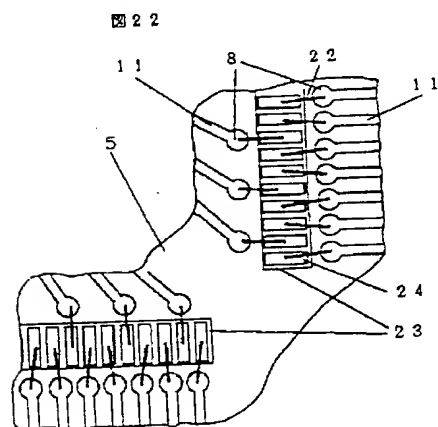
【図 18】



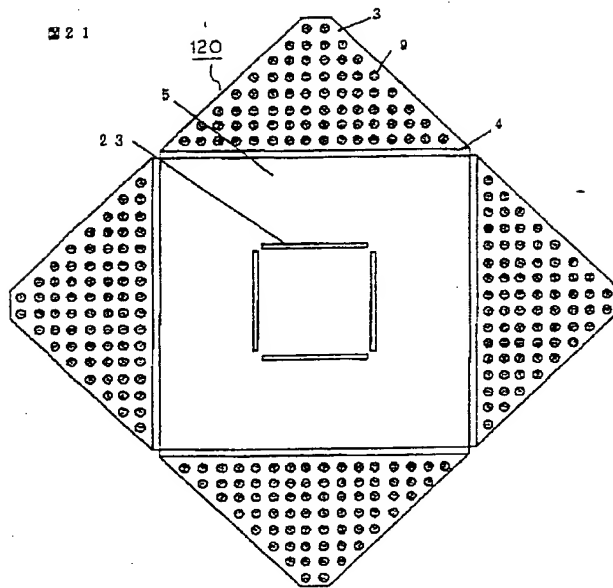
【图 20】



【图 22】



【図21】



【図23】

